

PCT/JP03/10008

日 本 国 特 許 庁
JAPAN PATENT OFFICE

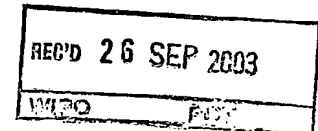
06.08.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2002年 8月 6日

出 願 番 号
Application Number: 特願2002-228188
[ST. 10/C]: [JP2002-228188]



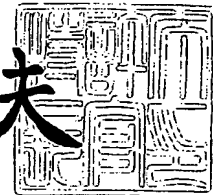
出 願 人
Applicant(s): ソニー株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 9月11日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3074470

【書類名】 特許願

【整理番号】 0290229201

【提出日】 平成14年 8月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 H03H 11/00

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 古田 武司

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

【代理人】

 【識別番号】 100086298

 【弁理士】

 【氏名又は名称】 船橋 國則

 【電話番号】 046-228-9850

【手数料の表示】

 【予納台帳番号】 007364

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9904452

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 高周波回路

【特許請求の範囲】

【請求項 1】 高周波伝送経路とグランドとの間に、能動素子およびインピーダンス素子を含む複数のシャント経路を有し、

前記複数のシャント回路が、各々の前記能動素子の ON 時に前記インピーダンス素子による並列共振回路を、OFF 時に前記インピーダンス素子による直列共振回路をそれぞれ形成する

ことを特徴とする高周波回路。

【請求項 2】 前記能動素子が電界効果トランジスタである

ことを特徴とする請求項 1 記載の高周波回路。

【請求項 3】 前記電界効果トランジスタがガリウム・ヒ素系材料からなる

ことを特徴とする請求項 2 記載の高周波回路。

【請求項 4】 前記複数のシャント経路が同一基板上に作成されている

ことを特徴とする請求項 1 記載の高周波回路。

【請求項 5】 前記複数のシャント経路を形成するインダクタが、IC 化の際のボンディング・ワイヤのインダクタンス成分で代用されている

ことを特徴とする請求項 1 記載の高周波回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高周波伝送経路とグランドとの間に能動素子を含むシャント経路を有する高周波回路に関し、特にASK変調器やSPSTスイッチとして用いて好適な高周波回路に関する。

【0002】

【従来の技術】

ASK (amplitude shift keying; 振幅偏移変調) 変調器などの主な高周波回路では、高周波伝送経路と当該高周波伝送経路からグランド (GND) に対する経路、即ちシャント (shunt) 経路とにFET (電荷効果トランジスタ) 等の

能動素子をそれぞれ配置し、これら経路の各能動素子を互い違いに開閉することでスイッチング動作を行っている。

【0003】

図12に、従来の高周波回路の基本的な構成例を示す。同図において、高周波伝送経路101側にはFETQ101が配置されている。シャント経路102側においては、キャパシタC101、FETQ102およびキャパシタC102が高周波伝送経路101とグランドとの間に直列に接続されている。FETQ101、Q102は、各ゲートに互いに逆相の制御信号A、AXがそれぞれ印加されることにより、交互にON（閉）／OFF（開）動作を行う。

【0004】

ところで、ASK変調はRF（高周波）信号の振幅の大小で変調する方式であり、SPST(Single Pole Single Throw;単極単投)スイッチと同じ構成にて機能を果たすことができる。

【0005】

しかしながら、伝送する周波数が数GHz以上、特にETC(Electronic Toll Collections;自動料金収受)システムやワイヤレスホームネットワーク等で用いられる5～6GHzになると、FETのOFF容量に起因してON時の経路ロスが大きくなったり、OFF時のアイソレーションが不十分になるという問題が生じている。ここで、FETのOFF容量とは、FETがOFF状態になった際のドレイン・ソース間に現れる容量成分のことを言う。

【0006】

このFETのOFF容量をCoffとすると、FETのインピーダンスZは、

$$Z = 1 / j \omega C_{off}, \quad \omega = 2 \pi f \quad \dots\dots (1)$$

となる。(1)式から明らかなように、周波数fに反比例して抵抗成分|Z|が小さくなることがわかる。

【0007】

図13に、高周波伝送経路101がON(Q101がON)、シャント経路102がOFF(Q102がOFF)になったときの等価回路を示す。ここで、OFF容量CoffがDCカット用のキャパシタC101、C102の容量に比べ

て十分小さく、FETQ101のON抵抗 R_{on} が数 Ω 程度なので、図13の回路特性は、OFF容量 C_{off} による電力リークで支配的に決定される。逆に、高周波伝送経路がOFF、シャント経路102がONのときは、高周波伝送経路101のFETQ101がOFF容量 C_{off} を持ち、電力をリークする。

【0008】

【発明が解決しようとする課題】

このように、FETの開閉のみでRF信号を遮断しようとする、特に透過特性において高周波帯では本質的に困難になってくることがわかる。すなわち、高周波領域においては、ON時の経路ロスが大きくなり、またOFF時に十分なアイソレーションを確保できなくなる。能動素子として、FETではなく、PIN (positive intrinsic negative) ダイオードを用いた回路構成の場合にも同様の問題が発生する。

【0009】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、高周波領域においても経路ロスを低減し、十分なアイソレーションを確保することが可能な高周波回路を提供することにある。

【0010】

【課題を解決するための手段】

本発明による高周波回路は、高周波伝送経路とグランドとの間に、能動素子およびインピーダンス素子を含む複数のシャント経路を有し、これら複数のシャント回路が、各々の能動素子のON時に前記インピーダンス素子による並列共振回路を、OFF時に前記インピーダンス素子による直列共振回路をそれぞれ形成する構成となっている。

【0011】

上記構成の高周波回路において、各々の能動素子がONのとき、これら能動素子は等価的にON抵抗とみなされ、当該ON抵抗が十分小さいため、ショートとみなすことができる。したがって、複数のシャント回路は、能動素子がON状態にあるときに、等価的にインピーダンス素子による並列共振回路を形成する。この並列共振回路では、共振周波数を使用周波数に合わせることで、シャント回路

方向（以下、シャント方向と記す）を高抵抗化し、高調波伝送経路方向（以下、スルー方向と記す）に対して低ロスな透過特性が得られる。一方、各々の能動素子がOFFのとき、能動素子のOFF容量が十分小さいものとする、複数のシャント回路は等価的にインピーダンス素子による直列共振回路を形成する。この直列共振回路では、共振周波数を使用周波数に合わせることで、シャント方向を低抵抗化し、スルー方向の透過電力を低下させることができる。

【0012】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施形態に係る高周波回路の構成例を示す回路図である。

【0013】

図1から明らかなように、本実施形態に係る高周波回路は、能動素子およびインピーダンス素子を持つ複数、例えば2つのシャント回路11, 12からなり、これらシャント回路11, 12が同一基板上に作成された構成となっている。一方のシャント回路11は、高周波伝送経路13とグランドとの間に直列に接続された能動素子14およびインダクタL1を有する構成となっている。他方のシャント回路12は、高周波伝送経路13とのグランドとの間に直列に接続されたキャパシタCおよびインダクタL2と、インダクタL2に対して並列に接続された能動素子15とを有する構成となっている。

【0014】

この高周波回路において、能動素子14, 15は、共通の制御信号AによってON/OFF制御される。これにより、制御信号Aの伝送は1本の制御線で済むため、回路構成の簡略化を図ることができる。能動素子14, 15のON/OFFでシャント経路11, 12のインピーダンスを変更することにより、回路全体のON/OFF状態の切り替えが行われる。能動素子14, 15としては、FETやPINダイオード等を用いることができる。

【0015】

以下に、具体的な回路動作について説明する。

【0016】

図2に示すように、能動素子14, 15がON（低抵抗=R_{on}状態）のとき本高周波回路はON状態となる。このとき、能動素子14, 15は等価的にON抵抗R_{on}とみなされる。このON抵抗R_{on}は十分小さく、ショートとみなすことができる。したがって、ON状態にあるときの本高周波回路は、図3に示すように、等価的にインダクタL1とキャパシタCの並列共振回路となる。

【0017】

ここで、並列共振回路のインピーダンスZ_{on}は、

$$Z_{on} = 1 / Y_{on}, \quad Y_{on} = 1 / j\omega L1 + j\omega C$$

$$\therefore Z_{on} = j\omega L1 / (1 - \omega^2 L1 C) \quad \dots (2)$$

となる。したがって、インダクタL1およびキャパシタCの各値を、使用周波数で共振点（Z_{on}=無限大）となるように、即ち

$$\omega^2 = 1 / L1 C \quad \dots\dots (3)$$

を満足するような素子定数を選択することにより、シャント方向を高抵抗化し、スルー方向（高周波伝送経路）の透過効率を向上させることができる。

【0018】

このように、本実施形態に係る高周波回路では、共振周波数を使用周波数に合わせることで、シャント方向を高抵抗化し、スルー方向に対して低ロスな透過特性を実現することができる。

【0019】

一方、図4に示すように、能動素子14, 15がOFF（高抵抗=C_{off}状態）のとき本高周波回路はOFF状態になる。ここで、インダクタL1を含むシャント経路11のインピーダンスZ1は、

$$Z1 = j\omega L1 + 1 / j\omega C_{off} \quad \dots\dots (4)$$

となり、OFF容量C_{off}が十分に小さいとき、インピーダンスZ1が無限大となるので、このシャント経路11は無視できる。

【0020】

また、インダクタL2とOFF容量C_{off}で構成される並列回路のアドミッタンスY2（Y=1/Z）とすると、

$$Y2 = 1 / j\omega L2 + j\omega C_{off}$$

となる。また、この並列回路を含むシャント回路 12 のインピーダンス Z_2 は、

$$\begin{aligned} Z_2 &= 1/j\omega C + 1/Y_2 \\ &= 1/j\omega C + j\omega L_2 / (1 - \omega^2 L_2 C_{off}) \end{aligned} \quad \dots (5)$$

であり、OFF 容量 C_{off} が十分に小さいとき、アドミッタンス Y_2 としてはインダクタ L_2 の成分のみとなり、回路としては等価的に、図 5 に示すように、インダクタ L_2 とキャパシタ C の直列共振回路となる。

【0021】

この直列共振回路の共振周波数は、(5) 式において、 $Z_2 = 0$ とすると、

$$\omega^2 = 1/L_2 C \quad \dots\dots (6)$$

であり、これを使用周波数に合わせることで、シャント方向を低抵抗化し、スルー方向の透過電力を低下させることができ、本高周波回路の OFF 状態を実現できる。

【0022】

しかしながら、周波数が数 GHz 以上と高くなると、OFF 容量 C_{off} の影響(正確には ωC_{off} 積)が無視できないので、理想的なインダクタ L_2 とキャパシタ C の直列共振とはならない。したがって、回路全体のインピーダンス Z_{off} については、

$$Z_{off} = 1/Y_{off}, \quad Y_{off} = 1/Z_1 + 1/Z_2 \quad \dots\dots (7)$$

を解いて共振点を求めることになる。

【0023】

(3) 式を (5) 式に用いると、

$$\begin{aligned} Z_{off} &= j\omega L_1 (C - C_{off}) \\ &\quad \cdot (L_1 - L_2 - L_2 C_{off}/C) \\ &\quad / (2L_2 C_{off} - L_1 C) \end{aligned} \quad \dots (8)$$

と変形できるので、 $Z_{off} = 0$ となるためには、

$$L_1/L_2 - 1 = C_{off}/C \quad \dots\dots (9)$$

を満足するような素子定数を用いることとなる。

【0024】

上述したように、高周波伝送経路13とグランドとの間にシャント回路を有する高周波回路において、能動素子14, 15およびインピーダンス素子(L1, L2, C)を含む複数、例えば2つのシャント経路11, 12を有し、これらシャント回路11, 12が、各々の能動素子14, 15のON時にインピーダンス素子(L1, C)による並列共振回路を、OFF時にインピーダンス素子(C, L2)による直列共振回路をそれぞれ形成するようにしたことで、ON時には使用する周波数において低ロスな透過特性を得ることができ、またOFF時にはシャント方向を低抵抗化し、スルー方向の透過電力を低下させることができる。

【0025】

[具体例]

図6は、本実施形態の具体的な回路例を示す回路図であり、図中、図1と同等部分には同一符号を付して示している。本具体例では、能動素子14, 15として、高周波の処理に用いて最適な例えばGaAs（ガリウム・ヒ素）系材料からなるFETを用いている。

【0026】

図6において、一方のシャント回路11'は、高周波伝送経路13とのグランドとの間に、キャパシタC1、FETQ1、キャパシタC2およびインダクタL1が直列に接続された構成となっている。他方のシャント回路12'は、高周波伝送経路13とのグランドとの間に、キャパシタCおよびインダクタL2が直列に接続されるとともに、キャパシタC3、FETQ2、キャパシタC4およびインダクタL3の直列接続回路がインダクタL2に対して並列に接続された構成となっている。

【0027】

上記具体例に係る高周波回路では、FETQ1, Q2にバイアスを印加するためDCカット用にキャパシタC1, C2, C3, C4を挿入し、またIC化した際のボンディング・ワイヤのインダクタンスを考慮してインダクタL3を追加した構成となっている。この具体例に係る高周波回路において、一例として、使用周波数を5GHzとし、各素子定数として $C = 0.95 \text{ pF}$ 、 $C1, C2 = 6 \text{ p}$

F、C3、C4=10 pF、Coff=0.4 pF、L1=1.1 nF、L2=0.7 nF、L3=0.4 nFを用いた場合のシミュレーション結果を図7に示す。

【0028】

図7のシミュレーション結果から明らかなように、本具体例に係る高周波回路においては、ON時にはロスが約0.5 dB程度であり、OFF時には20 dBのアイソレーションが確保されていることがわかる。

【0029】

比較として、従来例に係る図8に示す回路を用いた場合のシミュレーション結果を図9に示す。図8に示す回路は、図12に示す従来回路を高周波用に修正した回路である。ここでは、各回路定数としてC101、C102=3 pF、L104=0.7 nF、Coff=0.4 pFを用いている。図9のシミュレーション結果から明らかなように、OFF時のアイソレーションは21 dBあるが、ON時のロスが約2 dBと大きな値となっている。

【0030】

この比較結果から明らかなように、本具体例に係る高周波回路は、従来例に係る高周波回路に比べて、OFF時のアイソレーションについては同程度であるものの、ON時のロスについては高周波領域において約1.5 dB程度低減できていることがわかる。

【0031】

また、図1に示す回路例において、インダクタL1、L2の全部または一部をボンディング・ワイヤのインダクタンス成分で代用することにより、IC上の素子面積を低減することができる。一例として、ワイヤ1本のインダクタンス成分は0.7 nF、2本並列にワイヤを打った場合で0.4 nFなので、図6に示す回路例では、インダクタL2、L3についてはワイヤのインダクタンス成分で代用し、インダクタL1として0.4 nF分のインダクタをICに内蔵させるだけで済むため、IC上の素子面積を低減できる。

【0032】

[変形例]

なお、上記実施形態では、インダクタ L_1 、 L_2 をそれぞれ含む2本のシャント経路11、12を持つ場合を例に挙げて説明したが、これに限られるものではなく、図10に示すように、キャパシタ C_1 、 C_2 をそれぞれ含む2本のシャント経路を同時に切り替えるようにしても同様の効果を得ることができ、また3本以上のシャント経路を持つ回路構成とすることも可能である。

【0033】

[適用例]

以上説明した本実施形態あるいはその変形例に係る高周波回路は、ASK変調器やSPSTスイッチ等として用いることができる。また、本実施形態あるいはその変形例に係る高周波回路を複数配置することで、SPSTスイッチ等の多ポートスイッチに応用することも可能である。この多ポートスイッチの具体的な回路例を図11に示す。

【0034】

図11において、高周波伝送経路13は、分岐点Bで2系統A、Bに分岐されている。この2系統の高周波伝送経路13A、13Bには、 $\lambda/4$ だけ位相をずらすためのストリップライン等の位相変換装置21、22が挿入されている。この位相変換装置21、22は、片側のポートがショートした際にRFの分岐点Bの振幅が低下しないようにするために挿入されたものである。

【0035】

2系統の高周波伝送経路13A、13Bとグランドとの間には、図1に示すシャント経路11、12が、A系統のシャント経路11A、12AおよびB系統のシャント経路11B、12Bとして配置されている。ただし、A系統のシャント経路11A、12Aの能動スイッチ14A、15Aが制御信号AによってON/OFF制御されるのに対して、B系統のシャント経路11B、12Bの能動スイッチ14B、15Bが制御信号Aと逆相の制御信号AXによってON/OFF制御される。

【0036】

なお、本適用例では、SPSTスイッチ等の多ポートスイッチに適用した場合を例に挙げて説明したが、この適用例に限られるものではなく、ASK変調器な

どにも同様に適用可能である。

【 0 0 3 7 】

【発明の効果】

以上説明したように、本発明によれば、高周波伝送経路とグランドとの間に、能動素子およびインピーダンス素子を含む複数のシャント経路を有し、これら複数のシャント回路が、各々の能動素子の ON 時にインピーダンス素子による並列共振回路を、OFF 時にインピーダンス素子による直列共振回路をそれぞれ形成するようにしたことで、高周波領域においても経路ロスを低減し、十分なアイソレーションを確保することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態に係る高周波回路の構成例を示す回路図である。

【図 2】

能動素子が ON 時に当該能動素子を ON 抵抗で表した回路図である。

【図 3】

能動素子が ON 時に形成される並列共振回路を示す等価回路図である。

【図 4】

能動素子が OFF 時に当該能動素子を OFF 抵抗で表した回路図である。

【図 5】

能動素子が OFF 時に形成される直列共振回路を示す等価回路図である。

【図 6】

本発明の一実施形態の具体例に係る高周波回路を示す回路図である。

【図 7】

具体例に係る高周波回路のシミュレーション結果を示す図である。

【図 8】

シミュレーション結果の比較として、従来例に係る高周波回路を高周波用に修正した回路図である。

【図 9】

従来例に係る高周波回路のシミュレーション結果を示す図である。

【図 10】

本発明の一実施形態の変形例に係る高周波回路の構成例を示す回路図である。

【図 11】

本発明の適用例に係る多ポートスイッチの回路例を示す回路図である。

【図 12】

従来例に係る高周波回路の構成例を示す回路図である。

【図 13】

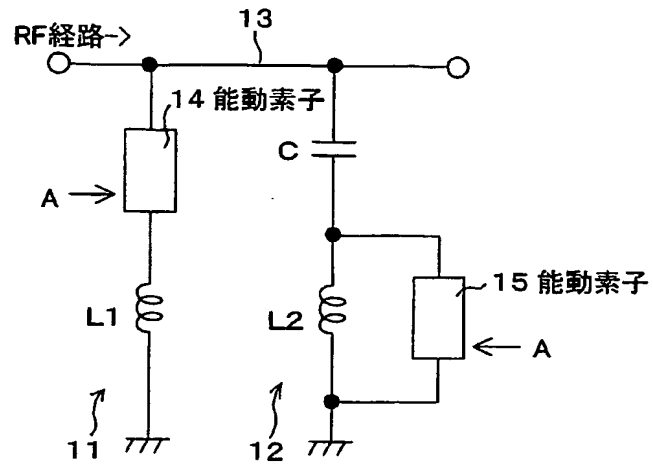
従来例に係る高周波回路の ON 時の等価回路図である。

【符号の説明】

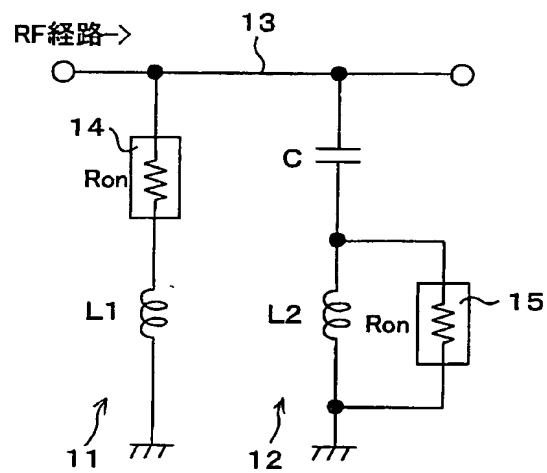
11, 11', 11A, 11B, 12, 12', 12A, 12B…シャント経路、13, 13A, 13B…高周波伝送経路、14, 14A, 14B, 15, 15A, 15B…能動素子、Q1, Q2…FET (電界効果トランジスタ)

【書類名】 図面

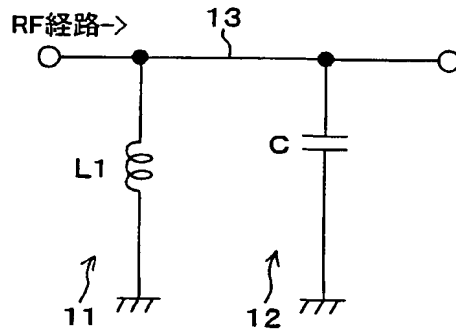
【図 1】



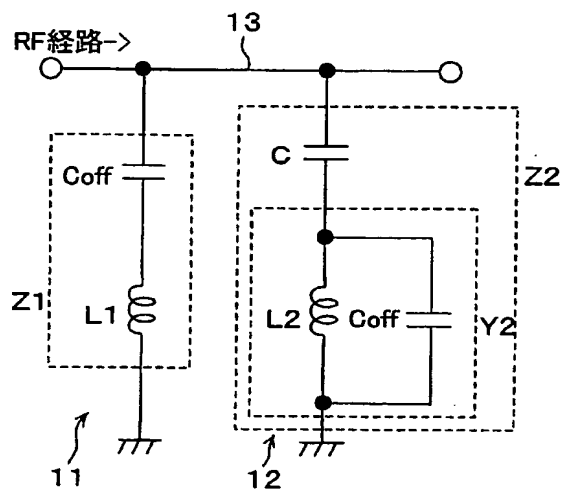
【図 2】



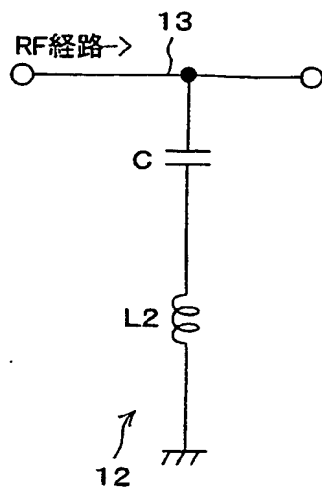
【図 3】



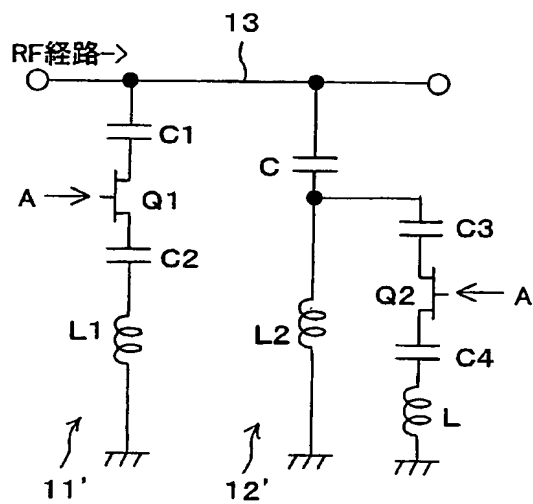
【図 4】



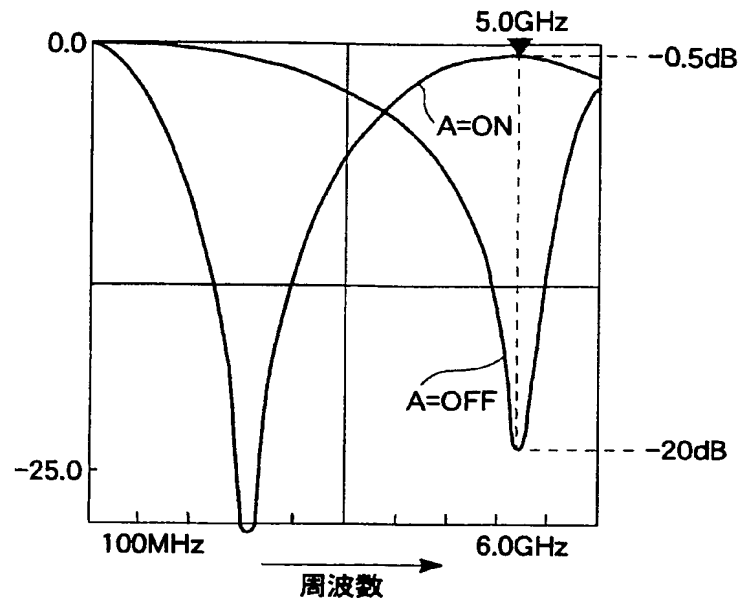
【図 5】



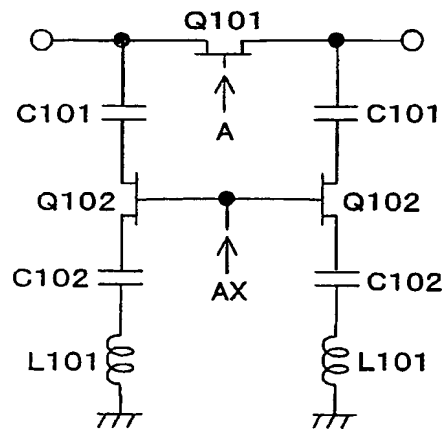
【図 6】



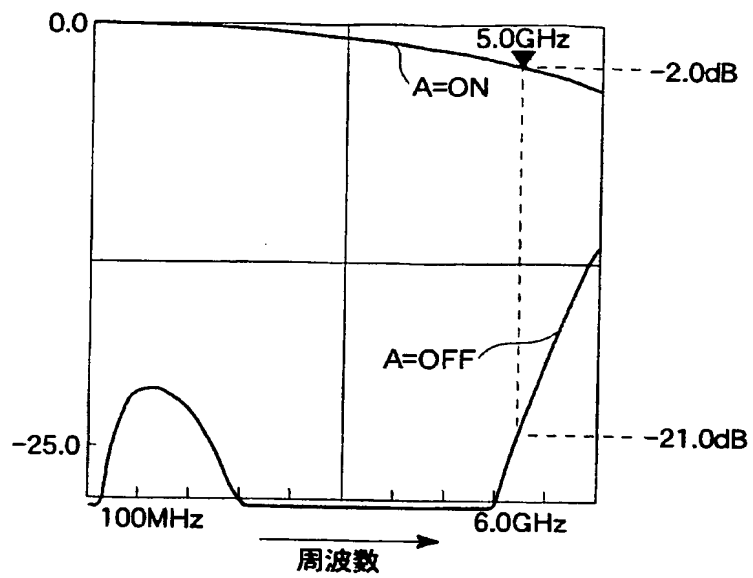
【図 7】



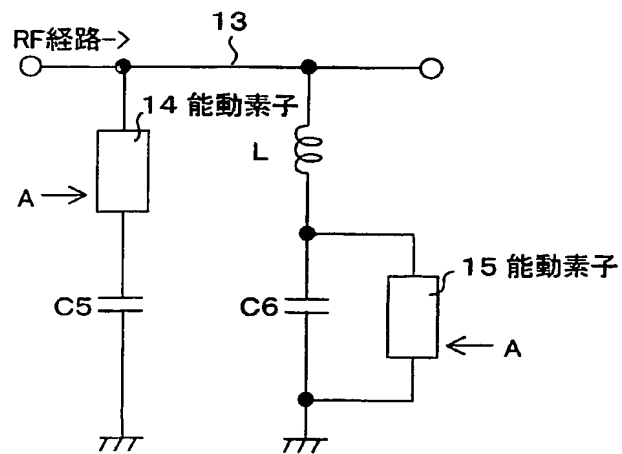
【図 8】



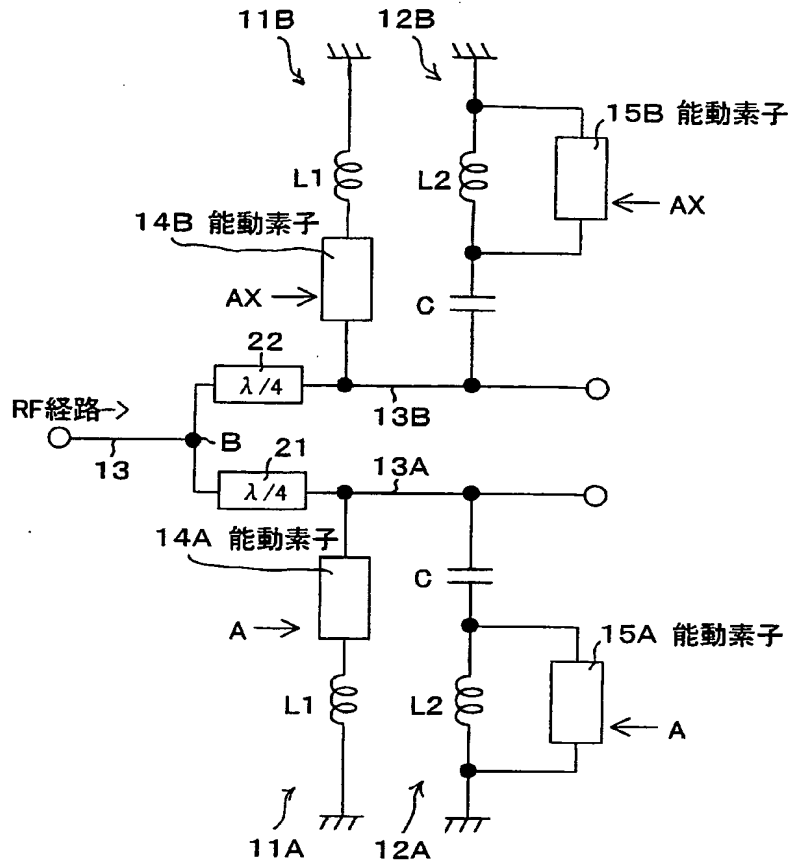
【図9】



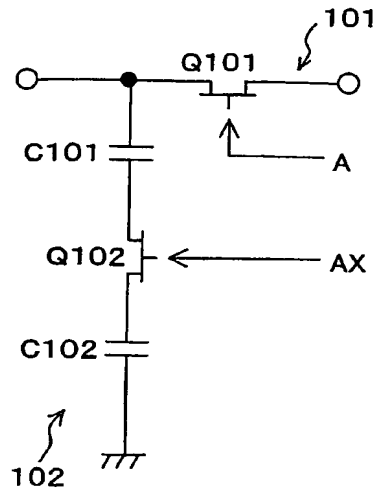
【図10】



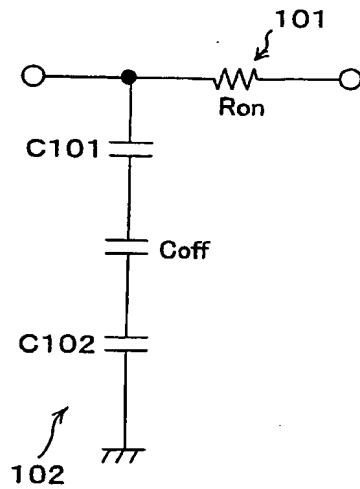
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 FETの開閉のみでRF信号を遮断しようとする、高周波領域においては、ON時の経路ロスが大きくなり、またOFF時に十分なアイソレーションを確保できなくなる。

【解決手段】 高周波伝送経路13とGNDとの間にシャント回路を有する高周波回路において、能動素子14、15およびインピーダンス素子(L1、L2、C)を含む例えば2つのシャント経路11、12を有し、これらシャント回路11、12が、各々の能動素子14、15のON時にインピーダンス素子(L1、C)による並列共振回路を、OFF時にインピーダンス素子(C、L2)による直列共振回路をそれぞれ形成するようにする。

【選択図】 図1

特願 2002-228188

出 願 人 履 歴 情 報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都品川区北品川6丁目7番35号

氏 名

ソニー株式会社